

Family list

2 family member for: **JP5303080**

Derived from 1 application

1 No title available

Inventor: OZAWA NORIO

Applicant: SEIKO EPSON CORP

EC:

IPC: *G02F1/133; G09F9/30; G09G3/36* (+8)

Publication info: **JP3240681B2 B2** - 2001-12-17

JP5303080 A - 1993-11-16

Data supplied from the *esp@cenet* database - Worldwide

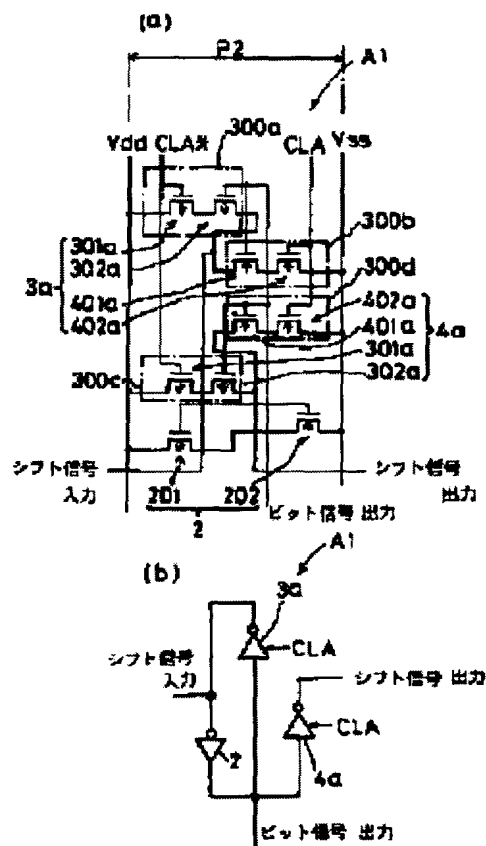
No title available

Patent number: JP5303080
Publication date: 1993-11-16
Inventor: OZAWA NORIO
Applicant: SEIKO EPSON CORP
Classification:
- international: G02F1/133; G09F9/30; G09G3/36; H01L29/786;
G02F1/13; G09F9/30; G09G3/36; H01L29/66; (IPC1-7):
G02F1/133; G09F9/30; G09G3/36
- european:
Application number: JP19920106827 19920424
Priority number(s): JP19920106827 19920424

Report a data error here

Abstract of JP5303080

PURPOSE: To realize the active matrix panel which can convert a unit cell on a driving circuit side to a narrow by optimizing arrangement of a thin film transistor of a shift register. **CONSTITUTION:** In a source line driving circuit of the active matrix panel, a TFT for constituting clocked inverters 3a, 4a of its unit shift register A1 is formed in thin film transistor forming areas 300a-300d, and as for these thin film transistor forming areas, one each end side of the thin film transistor forming areas in which the thin film transistors of different conductive types are formed is adjacent to each other, and on the other hand, the other end sides thereof are positioned in the directions being opposite to each other. Therefore, the thin film transistors are deviated at every conductive type, and also, a forming pitch P2 of a unit shift register is made narrow.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-303080

(43) 公開日 平成5年(1993)11月16日

| (51) Int. Cl. ⁵ | 識別記号 | F I |
|----------------------------|------|---------|
| G02F 1/133 | 550 | 7820-2K |
| G09F 9/30 | 338 | 6447-5G |
| G09G 3/36 | | 7319-5G |

審査請求 未請求 請求項の数7 (全15頁)

(21) 出願番号 特願平4-106827

(22) 出願日 平成4年(1992)4月24日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 小澤 徳郎

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

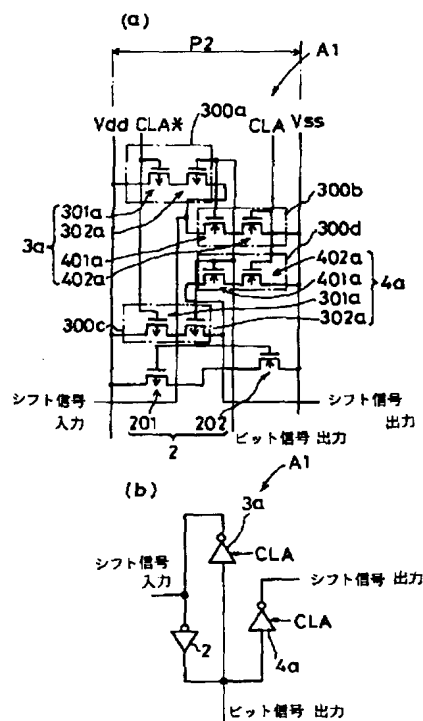
(74) 代理人 弁理士 山田 稔

(54) 【発明の名称】 アクティブマトリクスパネル

(57) 【要約】

【目的】 シフトレジスタの薄膜トランジスタの配置を最適化して、駆動回路側の単位セルを狭ピッチ化可能なアクティブマトリクスパネルを実現すること。

【構成】 アクティブマトリクスパネルのソース線駆動回路40において、その単位シフトレジスタA1のクロックドインバータ3a、4aを構成するTFTは、薄膜トランジスタ形成領域300a~300dに形成され、これらの薄膜トランジスタ形成領域は、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域の一方端側同士が互いに近接している一方、それらの他方端側は互いに反対方向に位置している。このため、薄膜トランジスタは導電型毎に偏在し、かつ、単位シフトレジスタの形成ピッチP2が狭小化されている。



【特許請求の範囲】

【請求項 1】 同一基板上の画素マトリクスの形成領域と前記基板の外周縁との間に形成されて各画素の表示動作を駆動するソース線駆動回路およびゲート線駆動回路のうちの少なくとも一方側の駆動回路において、そのシフトレジスタは、その 1 ビットに相当する単位シフトレジスタ当たり、少なくとも、第 1 導電型および第 2 導電型の薄膜トランジスタで構成されてクロック信号線から入力されたクロック信号に基づいて駆動される 2 つのクロックドインバータ回路を有しており、前記第 1 導電型および第 2 導電型の薄膜トランジスタは、前記クロックドインバータ回路の形成領域において、同じクロックドインバータ回路の同じ導電型の薄膜トランジスタ毎に前記基板の外周縁側から前記画素マトリクスの形成領域側に向かって 4 列に配列された薄膜トランジスタ形成領域に形成され、これらの薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域の一方端側同士は互いに近接している一方、それらの他方端側は互いに反対方向に位置していることを特徴とするアクティブマトリクスパネル。

【請求項 2】 請求項 1 において、前記シフトレジスタの形成領域は、前記基板の外周縁側の第 1 のシフトレジスタ形成領域と前記画素マトリクスの形成領域側の第 2 のシフトレジスタ形成領域とに分離されており、これらのシフトレジスタ形成領域に、前記シフトレジスタは第 1 および第 2 のシフトレジスタとして分割して形成されていることを特徴とするアクティブマトリクスパネル。

【請求項 3】 請求項 2 において、前記シフトレジスタにクロック信号を供給するクロック信号線のうち、前記第 1 のシフトレジスタ形成領域に形成された第 1 のシフトレジスタにクロック信号を供給する第 1 のクロック信号線は、前記第 1 のシフトレジスタ形成領域に対して隣接する位置に並列配置され、前記第 2 のシフトレジスタ形成領域に形成された第 2 のシフトレジスタにクロック信号を供給する第 2 のクロック信号線は、前記第 2 のシフトレジスタ形成領域に対して隣接する位置に並列配置されていることを特徴とするアクティブマトリクスパネル。

【請求項 4】 請求項 3 において、前記第 1 のクロック信号線と前記第 2 のクロック信号線とは、対応する各シフトレジスタ形成領域に対して略等距離を隔てた位置に配置されていることを特徴とするアクティブマトリクスパネル。

【請求項 5】 請求項 3 または請求項 4 において、前記第 1 のクロック信号線は前記第 1 のシフトレジスタ形成領域に対して前記基板の外周縁側に形成され、前記第 2 のクロック信号線は前記第 2 のシフトレジスタ形成領域に対して前記画素マトリクスの形成領域側に形成されていることを特徴とするアクティブマトリクスパネル。

【請求項 6】 請求項 3 ないし請求項 5 のいずれかの項において、前記第 1 クロック信号線と前記第 2 のクロック信号線からは位相がずれた系列毎のクロック信号が供給され、これらの系列毎のクロック信号に対応して、前記第 1 および第 2 のシフトレジスタも系列化されていることを特徴とするアクティブマトリクスパネル。

【請求項 7】 請求項 3 ないし請求項 6 のいずれかの項において、前記第 1 および第 2 のクロック信号線のうちの少なくとも一方側のクロック信号線は、位相がずれた系列毎のクロック信号が供給される複数のクロック信号線から構成され、これらの系列毎のクロック信号に対応して、前記第 1 または第 2 のシフトレジスタの側も系列化されていることを特徴とするアクティブマトリクスパネル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示パネルなどのアクティブマトリクスパネルに関し、特に、その駆動回路側の構造技術に関する。

【0002】

【従来の技術】 液晶の配向状態などを利用して情報を表示するフラット型表示パネルのうち、アクティブマトリクス方式の液晶表示パネルにおいては、その全体構成を図 1 3 にブロック図で示すように、画素マトリクス 2 2、ソース線駆動回路 1 2 およびゲート線駆動回路 2 1 が同一の透明基板 1 1 の上に形成されて、表示装置の小型化、高精細化および低コスト化が図られている。ここで、ソース線駆動回路 1 2 はシフトレジスタ 1 3、サンプルホールド回路 1 7、1 8、1 9 およびビデオ信号線 1 4、1 5、1 6 を有する一方、ゲート線駆動回路 2 1 はシフトレジスタ 2 0 および必要に応じてバッファ回路 2 3 を有する。また、画素マトリクス 2 2 は、ソース線駆動回路 1 2 に接続された複数のソース線 2 6、2 7、2 8・・・と、ゲート線駆動回路 2 1 に接続された複数のゲート線 2 4、2 5・・・と、これらのゲート線およびソース線の交点に形成された複数の画素 3 2、3 3・・・とを有し、各画素 3 2、3 3・・・には薄膜トランジスタ (TFT) 2 9 と液晶セル 3 0 とを有する。さらに、ソース線駆動回路 1 2 の側には、そのシフトレジスタ 1 3 にクロック信号を入力すべきクロック信号線 3 4 が配置されている一方、ゲート線駆動回路 2 1 の側には、そのシフトレジスタ 2 0 にクロック信号を入力すべきクロック信号線 3 7 が配置されている。なお、3 5、3 6 はソース線駆動回路 1 2 およびゲート線駆動回路 2 1 にスタート信号を入力するスタート信号線である。

【0003】 ここで、シフトレジスタ 1 3、2 0 は、1 ビット当たり、図 1 4 (a) に示すように、クロック信号 CKA のうちのクロック信号 CLA で駆動される単位シフトレジスタ 1 a、またはクロック信号 CLA と逆相のクロック信号 CLA* で駆動される単位シフトレジスタ

タ 1 b で構成され、これらの単位シフトレジスタ 1 a, 1 b がシフト方向に交互に配置されている。これらの単位シフトレジスタ 1 a, 1 b のうち、単位シフトレジスタ 1 a は 1 つのインバータ 2 と 2 つのクロックドインバータ 3 a, 4 a で構成され、単位シフトレジスタ 1 b は 1 つのインバータ 2 と 2 つのクロックドインバータ 3 b, 3 a で構成されている。そのうち、インバータ 2 は、図 1 4 (b) に示すように、p 型 T F T 2 0 1 と n 型 T F T 2 0 2 とからなる C M O S 構造になっている。また、クロックドインバータ 3 a, 4 a は、図 1 4 (c) に示すように、p 型 T F T 3 0 1 a, 3 0 2 a と n 型 T F T 4 0 1 a, 4 0 2 a とから構成されてクロック信号 C L A で駆動可能になっているのに対して、クロックドインバータ 3 b, 4 b は、図 1 4 (d) に示すように、p 型 T F T 3 0 1 b, 3 0 2 b と n 型 T F T 4 0 1 b, 4 0 2 b とから構成されて逆相のクロック信号 C L A * で駆動可能になっている。

【 0 0 0 4 】 このため、従来のアクティブマトリクスパネルにおいては、たとえば、図 1 5 に示すように、ソース線駆動回路 8 0 のシフトレジスタ 8 1 のうち、クロックドインバータ 3 a, 4 a の p 型 T F T 3 0 1 a, 3 0 2 a と n 型 T F T 4 0 1 a, 4 0 2 a とは、基板の外周縁側 (矢印 X の方向) から画素マトリクスの形成領域側 (矢印 Y の方向) に向かって配置された 2 列の薄膜トランジスタ形成領域 8 0 3 a, 8 0 4 a にそれぞれ形成されている。

【 0 0 0 5 】

【 発明が解決しようとする課題 】 このような構成の液晶表示パネルにおいては、その表示品位を高める目的に、画素ピッチを狭小化して画素の微細化が図られつつあるが、その画素ピッチはソース線駆動回路 8 0 の単位セルのピッチ P 1 1 に規定された状態にある。ここで、シフトレジスタ 8 1 のクロックドインバータ 3 a, 4 a は 4 つの T F T で構成されているのに対して、アナログスイッチ部 8 5 は、ソース線駆動回路 8 0 の単位セル毎に n 型 T F T 8 5 a, 8 5 b . . . のみで構成され、また、バッファ回路 8 7 のインバータ回路 8 7 a, 8 7 b は、それぞれ相補型 T F T で構成されているため、ソース線駆動回路 8 0 の単位セルのピッチ P 1 1 は T F T の形成密度が高いシフトレジスタ 8 1 における単位シフトレジスタの形成ピッチ P 1 2 に規定されている。

【 0 0 0 6 】 しかしながら、従来のアクティブマトリクスパネルにおいては、シフトレジスタ 8 1 の構造上の制約があって、ソース線駆動回路 8 0 の単位セルのピッチ P 1 1 (画素ピッチ) を狭小化できないという問題点がある。すなわち、シフトレジスタ 8 1 の製造プロセスのうちのイオン打ち込み工程において、薄膜トランジスタ形成領域 8 0 3 a, 8 0 4 a のうち、導電型の異なる p 型 T F T 3 0 1 a, 3 0 2 a と n 型 T F T 4 0 1 a, 4 0 2 a とを形成する領域には逆導電型の不純物をそれぞ

れ導入する必要があるため、p 型 T F T 3 0 1 a, 3 0 2 a と n 型 T F T 4 0 1 a, 4 0 2 a との間に所定の間隔、たとえば、1 0 数 μm 以上の間隔を設ける必要がある。従って、いずれの薄膜トランジスタ形成領域 8 0 3 a, 8 0 4 a も、その基板の辺方向 (矢印 Z の方向) における長さ寸法が長くなってしまふ。

【 0 0 0 7 】 また、ソース線駆動回路の動作速度を向上する目的に、図 1 6 に示すソース線駆動回路 9 0 のように、そのシフトレジスタ 9 1 に対して基板の外周縁側 (矢印 X の方向) に 2 系列のクロック信号線 9 3, 9 4 を設ける一方、そこから供給されるクロック信号 C K A, C K B によってシフトレジスタ 9 1 を 2 系列駆動可能なように、シフトレジスタ 9 1 を A 系列のシフトレジスタ 9 1 a および B 系列のシフトレジスタ 9 1 b に 2 系列化する場合がある。しかしながら、この場合であっても、基板の外周縁側 (矢印 X の方向) の薄膜トランジスタ形成領域 9 0 3 a および画素マトリクスの形成領域側 (矢印 Y の方向) の薄膜トランジスタ形成領域 9 0 3 b はイオン打ち込み工程における制約上、導電型の異なる p 型 T F T と n 型 T F T との間に 1 0 数 μm 以上の間隔を設ける必要があるため、いずれの薄膜トランジスタ形成領域 9 0 3 a, 9 0 4 a も、基板の辺方向 (矢印 Z の方向) における長さ寸法が長くなってしまふ。従って、シフトレジスタ 9 1 における単位シフトレジスタの形成ピッチ P 1 2 を狭小化することができない。なお、図 1 6 において、クロック信号線 9 3, 9 4 は、それぞれ、クロック信号 C L A, C L B をシフトレジスタ 9 1 に対して供給するクロック信号線 9 3 1, 9 4 1 と、クロック信号 C L A, C L B に対して逆相のクロック信号 C L A *, C L B * をシフトレジスタ 9 1 に供給するクロック信号線 9 3 2, 9 4 2 とから構成され、かつ、クロック信号 C K A (C L A, C L A *) とクロック信号 C K B (C L B, C L B *) とは互いに 9 0 ° のずれをもっている。

【 0 0 0 8 】 以上の問題点を鑑みて、本発明の課題は、シフトレジスタを構成する薄膜トランジスタの配置構造を最適化して、駆動回路側の単位セルを狭ピッチ化可能なアクティブマトリクスパネルを実現することにある。

【 0 0 0 9 】

【 課題を解決するための手段 】 上記課題を解決するために、本発明において講じた手段は、同一基板上の画素マトリクスの形成領域と基板の外周縁との間に形成されて各画素の表示動作を駆動するソース線駆動回路およびゲート線駆動回路のうちの少なくとも一方側の駆動回路において、そのシフトレジスタには、その 1 ビットに相当する単位シフトレジスタ当たり、少なくとも、第 1 導電型および第 2 導電型の薄膜トランジスタで構成されてクロック信号線から入力されたクロック信号に基づいて駆動される 2 つのクロックドインバータ回路が形成されており、第 1 導電型および第 2 導電型の薄膜トランジスタ

を、クロックドインバータ回路の形成領域において、同じクロックドインバータ回路の同じ導電型の薄膜トランジスタ毎に基板の外周縁側から画素マトリクスの形成領域側に向かって4列に配列された薄膜トランジスタ形成領域に形成すると共に、これらの薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域の一方端側同士を互いに近接させる一方、それらの他方端側を互いに反対方向に位置するようにすることである。すなわち、導電型の異なる薄膜トランジスタの形成領域同士を基板の外周縁側から画素マトリクスの形成領域側の方向でも分離することである。

【0010】また、本発明においては、シフトレジスタ形成領域を基板の外周縁側の第1のシフトレジスタ形成領域と画素マトリクスの形成領域側の第2のシフトレジスタ形成領域とに分離し、これらのシフトレジスタ形成領域に、シフトレジスタを第1および第2のシフトレジスタとして分割して形成しておくことが好ましい。

【0011】この場合には、クロック信号線からのクロック信号をシフトレジスタに供給するクロック信号入力線を、第1のシフトレジスタ側と第2のシフトレジスタ側との間で同寸法、かつ、最短寸法で構成する目的に、シフトレジスタにクロック信号を供給するクロック信号線のうち、第1のシフトレジスタ形成領域に形成された第1のシフトレジスタにクロック信号を供給する第1のクロック信号線を第1のシフトレジスタ形成領域に対して隣接する位置に並列配置し、第2のシフトレジスタ形成領域に形成された第2のシフトレジスタにクロック信号を供給する第2のクロック信号線を第2のシフトレジスタ形成領域に対して隣接する位置に並列配置することが好ましい。また、第1のクロック信号線と第2のクロック信号線とを対応する各シフトレジスタ形成領域に対して略等距離を隔てた位置に配置することが好ましい。

【0012】さらに、シフトレジスタ形成領域をクロック信号線が通らないようにして、単位シフトレジスタの形成ピッチを狭小化する目的に、第1のクロック信号線を第1のシフトレジスタ形成領域に対して基板の外周縁側に形成し、第2のクロック信号線を第2のシフトレジスタ形成領域に対して画素マトリクスの形成領域側に形成しておくことが好ましい。

【0013】また、シフトレジスタを構成する薄膜トランジスタの動作特性を現状のままで、駆動回路の動作速度を高める目的に、第1クロック信号線と第2のクロック信号線からは位相がずれた系列毎のクロック信号を供給し、これらの系列毎のクロック信号に対応して、第1および第2のシフトレジスタも系列化しておくことが好ましい。同様の目的に、第1または第2のクロック信号線を、位相がずれた系列毎のクロック信号が供給される複数のクロック信号線から構成し、これらの系列毎のクロック信号に対応して、第1または第2のシフトレジスタの

側も系列化しておくことが好ましい。

【0014】

【作用】上記手段を講じた本発明に係るアクティブマトリクスパネルにおいて、ソース線駆動回路またはゲート線駆動回路のシフトレジスタでは、そのクロックドインバータ回路を構成する第1導電型および第2導電型の薄膜トランジスタを、同じクロックドインバータ回路の同じ導電型の薄膜トランジスタ毎に、基板の外周縁側から画素マトリクスの形成領域側に向かって配置された4列の薄膜トランジスタ形成領域に形成してあり、これらの薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域同士の一方端側同士を互いに近接させる一方、それらの他方端側を互いに反対方向に向けてあるため、導電型の異なる薄膜トランジスタの形成領域同士を基板の外周縁側から画素マトリクスの形成領域側の方向でも分離してある。従って、導電型の異なる薄膜トランジスタの形成領域同士は、近接し合った状態のままで、互いに異なる領域に偏在している。それ故、薄膜トランジスタを形成するにあたっての支障がなく、しかも、回路要素の形成密度が高いシフトレジスタの形成ピッチを狭小化できる。その結果、駆動回路の単位セルのピッチを狭小化して、画素マトリクスを微細化できる。

【0015】さらに、シフトレジスタ形成領域を基板の外周縁側の第1のシフトレジスタ形成領域と画素マトリクスの形成領域側の第2のシフトレジスタ形成領域とに分割した場合には、駆動回路の単位セルのピッチを実質的に狭小化できるので、画素マトリクスを微細化できる。

【0016】

【実施例】つぎに、添付図面を参照して、本発明の実施例について説明する。

【0017】〔実施例1〕図1は本発明の実施例1に係るアクティブマトリクスパネル（液晶表示パネル）のソース線駆動回路側における薄膜トランジスタおよび配線層の配置を示す構成図、図2はそのブロック図、図3はその回路図である。ここで、本例のアクティブマトリクスパネルの全体構成は、図13に示すブロック図と概ね同様であるため、以下の説明では、ソース線駆動回路の構成についてのみ詳述する。

【0018】これらの図において、本例のアクティブマトリクスパネルのソース線駆動回路40は、図15に示した従来のソース線駆動回路と同様に、シフトレジスタ40の駆動方式が2系列化されている。ソース線駆動回路40は、画素マトリクスおよびゲート線駆動回路（いずれも、図示せず。）と共に同一の透明基板上に形成されて、画素マトリクスの各画素の表示動作を駆動する。ここで、ソース線駆動回路40は基板の外周縁から画素マトリクスの形成領域までの間に形成されており、本例において、シフトレジスタ41は、基板の外周縁側（矢

印Xの方向)の第1のシフトレジスタ形成領域42aと、画素マトリクス形成領域側(矢印Yの方向)の第2のシフトレジスタ形成領域42bとに、それぞれ、単位シフトレジスタA1, A2, A3...からなるA系列のシフトレジスタ41a(第1のシフトレジスタ)と、単位シフトレジスタB1, B2, B3...からなるB系列のシフトレジスタ41b(第1のシフトレジスタ)とに分割して形成されている。また、A系列およびB系列のシフトレジスタ41a, 41bにクロック信号CKA, CKBを供給するクロック信号線のうち、A系列のシフトレジスタ41aにクロック信号CKAを供給するA系列のクロック信号線43(第1のクロック信号線)は、第1のシフトレジスタ形成領域41aに対して隣接する位置に並列配置され、B系列のシフトレジスタ41bにクロック信号CKBを供給するB系列のクロック信号線44(第2のクロック信号線)は、第2のシフトレジスタ形成領域42bに対して隣接する位置に並列配置されている。ここで、A系列のクロック信号線43は第1のシフトレジスタ形成領域42aに対して基板の外周縁側(矢印Xの方向)に形成され、B系列のクロック信号線44は第2のシフトレジスタ形成領域42bに対して画素マトリクス形成領域側(矢印Yの方向)に形成されている。さらに、A系列のクロック信号線43とB系列のクロック信号線44とは、対応する第1または第2のシフトレジスタ形成領域42a, 42bに対して略等距離を隔てた位置にある。このため、A系列のクロック信号線43とA系列のシフトレジスタ41aとを接続するクロック信号入力線49aと、B系列のクロック信号線44とB系列のシフトレジスタ41bとを接続するクロック信号入力線49bの配線長さが略同寸法、かつ、最短寸法に設計されて、クロック信号CKA, CKBに同期のずれが発生しないようになっている。

【0019】また、第2のシフトレジスタ形成領域42bに対して画素マトリクス形成領域側(矢印Yの方向)には、シフトレジスタ41から出力されたビット信号を、サンプルホールド部のアナログスイッチ45の側に向けて送出するためのビット信号出力線46が形成され、その途中位置には、ビット信号を増幅し、また、ビット信号出力線46が交差するB系列のクロック信号線44からのノイズの影響を緩和する機能も発揮するバッファ回路47が、2つのインバータ47a, 47bによって構成されている。ここで、B系列のクロック信号線44からのノイズの影響を緩和すべきバッファ回路47としては、多結晶シリコン層で形成された高抵抗のビット信号出力線46に寄生する抵抗Rと、ビット信号出力線46とアルミニウム配線層たるクロック信号線44との間に介在する層間絶縁膜48によって構成される寄生容量Cとを利用してバッファ回路を構成することもできる。

【0020】また、クロックドゲートなども採用でき

る。

【0021】また、本例において、A系列のクロック信号線43は、互いに逆相のクロック信号CLA, CLA*が伝達される2つのクロック信号線431, 432から構成され、B系列のクロック信号線44も、互いに逆相のクロック信号CLB, CLB*が伝達される2つのクロック信号線441, 442から構成されている。

【0022】これらのクロック信号線43, 44のうち、クロック信号線431, 441からは奇数番目の単位シフトレジスタA1, A3..., B1, B3...にクロック信号CLA, CLBが入力され、クロック信号線432, 442からは偶数番目の単位シフトレジスタA2, A4..., B2, B4...にクロック信号CLA*, CLB*が入力される。ここで、A系列およびB系列のシフトレジスタ41a, 41bは、いずれも、図3に示すように、1つのインバータ2と2つのクロックドインバータ3a, 4a(クロックドインバータ3b, 4b)によって、1ビット分の単位シフトレジスタA1, A2, A3..., B1, B2, B3...が構成されており、そのうち、奇数番目の単位シフトレジスタA1, A3..., B1, B3...は、クロック信号CKA, CKBのうち、クロック信号CLA, CLBによって駆動される一方、偶数番目の単位シフトレジスタA2, A4..., B2, B4...は、クロック信号CKA, CKBのうち、クロック信号CLA, CLBと逆相のクロック信号CLA*, CLB*によって駆動される。ここで、インバータ2は、図1および図14(b)に示すように、p型TFT201とn型TFT202とからなるCMOS構造になっている。また、クロックドインバータ3a, 4aは、図1および図14

(c)に示すように、2つのp型TFT301a, 302aとn型TFT401a, 402aとから構成されてクロック信号CLA, CLBで駆動可能になっているのに対して、クロックドインバータ3b, 4bは、図1および図14(d)に示すように、2つのp型TFT301b, 302bとn型TFT401b, 402bとから構成されて逆相のクロック信号CLA*, CLB*で駆動可能になっている。

【0023】また、A系列のクロック信号線83からのクロック信号CKA(クロック信号CLA, CLA*)の位相と、B系列のクロック信号線84からのクロック信号CKBの位相(クロック信号CLB, CLB*)とは、図4に示すタイミングチャートのように、90°ずらしてある。このため、開始信号DXが入力された以降において、A系列のシフトレジスタ41aの奇数番目の単位シフトレジスタA1, A3...は、クロック信号CLAのパルス立ち下がりに対応してビット信号252を出力する一方、A系列のシフトレジスタ41aの偶数番目の単位シフトレジスタA2, A4...は、クロック信号CLA*のパルス立ち下がりに対応してビット信

号 2 5 4 を出力する。また、B 系列のシフトレジスタ 4 1 b の奇数番目の単位シフトレジスタ B 1, B 3 . . . は、クロック信号 C L B のパルス立ち下がりに対応してビット信号 2 5 3 を出力する一方、B 系列のシフトレジスタ 4 1 b の偶数番目の単位シフトレジスタ B 2, B 4 . . . は、クロック信号 C L B * のパルス立ち下がりに対応してビット信号 2 5 5 を出力する。そして、ビット信号 2 5 2 ~ 2 5 5 に基づいて、アナログスイッチ部 4 5 の各アナログスイッチが動作して、V i d e o 信号線 (v i d e o 1, v i d e o 2, v i d e o 3) からの各ビデオ信号 V を各ソース線にホールドする。このため、シフトレジスタ 4 1 の薄膜トランジスタの動作を高周波化することなく、ビット信号の実質的な送出タイミングが高周波化されるので、ソース線駆動回路 4 0 の動作速度を高めることができる。

【 0 0 2 4 】このような構成のアクティブマトリクスパネルのソース線駆動回路 4 0 における各 T F T の配置構造を、図 5 (a) , 図 5 (b) および図 6 を参照して、説明する。

【 0 0 2 5 】ここで、図 5 (a) は本例のアクティブマトリクスパネルのソース線駆動回路 4 0 のうちの A 系列のシフトレジスタ 4 1 a の単位シフトレジスタ A 1 における各 T F T の配置を示す構成図、図 5 (b) はその回路図、図 6 はソース線駆動回路 4 0 のうちの B 系列のシフトレジスタ 4 1 b の単位シフトレジスタ B 1 における各 T F T と配線層との配置関係を示す平面図である。

【 0 0 2 6 】図 5 (a) および図 5 (b) において、単位シフトレジスタ A 1 は 1 つのインバータ 2 と 2 つのクロックドインバータ 3 a, 4 a とを有しているが、いずれのクロックドインバータ 3 a, 4 a も、p 型 T F T 3 0 1 a, 3 0 2 a と n 型 T F T 4 0 1 a, 4 0 2 a とで構成されている。ここで、p 型 T F T 3 0 1 a, 3 0 2 a および n 型 T F T 4 0 1 a, 4 0 2 a が形成された各薄膜トランジスタ形成領域 3 0 0 a, 3 0 0 b, 3 0 0 c, 3 0 0 d は、基板の外周縁側から画素マトリクスの形成領域側に向かって 4 列に配列されており、薄膜トランジスタ形成領域 3 0 0 a, 3 0 0 b, 3 0 0 c, 3 0 0 d のうち、薄膜トランジスタ形成クロックドインバータ 3 a の側の p 型 T F T 3 0 1 a, 3 0 2 a が形成された薄膜トランジスタ形成領域 3 0 0 a の一方端と、その n 型 T F T 4 0 1 a, 4 0 2 a が形成された薄膜トランジスタ形成領域 3 0 0 b の一方端とは互いに近接し合いながら、それらの間に所定の間隔を設けてあるのに対して、他方端同士は反対方向に位置している。同様に、クロックドインバータ 4 a の側の p 型 T F T 3 0 1 a, 3 0 2 a が形成された薄膜トランジスタ形成領域 3 0 0 c の一方端と、その n 型 T F T 4 0 1 a, 4 0 2 a が形成された薄膜トランジスタ形成領域 3 0 0 d の一方端とは互いに近接し合いながら、それらの間には所定の間隔を設けてあるのに対して、他方端同士は反対方向に位置し

ている。ここで、異なる導電型の T F T が形成された薄膜トランジスタ形成領域同士を異なる領域に偏在化させているのは、p 型 T F T 3 0 1 a, 3 0 2 a および n 型 T F T 4 0 1 a, 4 0 2 a の製造プロセスでは、それらを途中まで一括して形成して、そのうち、シリコン膜にイオン注入する不純物のみを相違させて n 型および p 型の T F T を順次形成していくときに、p 型の不純物をイオン注入する領域と n 型の不純物をイオン注入する領域とが近接しすぎていると、逆の導電型の不純物で汚染され、安定した特性を有する T F T を形成できないためである。しかしながら、その間隔を広げすぎると、結果的には、単位シフトレジスタ A 1, A 2 . . . の形成ピッチ P 2 が拡張され、ソース線駆動回路 4 0 の単位セルのピッチ P 1 も拡張されてしまう。そこで、本例のアクティブマトリクスパネルのソース線駆動回路 4 0 においては、基板の外周縁側 (矢印 X の方向) から画素マトリクスの形成領域側 (矢印 Y の方向) に向かって 4 列に配列された薄膜トランジスタ形成領域 3 0 0 a ~ 3 0 0 d を設け、これらの薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域の一方端側同士を互いに近接させている一方、それらの他方端側を互いに反対方向に位置させることによって、異なる導電型の T F T が形成された薄膜トランジスタ形成領域同士を異なる領域に偏在化させながら、単位シフトレジスタ A 1 の基板の辺方向 (矢印 Z の方向) の長さ寸法を短縮してある。また、他の単位シフトレジスタ A 2, A 3 . . . , B 2, B 3 . . . も同様な構造になっている。たとえば、図 6 に示すように、単位シフトレジスタ B 1 において、p 型 T F T 3 0 2 b のドレインに対する接続孔と、n 型 T F T 4 0 1 a に対する接続孔とは、基板の外周縁側から画素マトリクスの形成領域側に向かって同一線上に位置するまで、薄膜トランジスタ形成領域 3 0 0 a と薄膜トランジスタ形成領域 3 0 0 b との基板の辺方向に対する間隔および薄膜トランジスタ形成領域 3 0 0 d と薄膜トランジスタ形成領域 3 0 0 c との基板の辺方向に対する間隔を狭めて、単位シフトレジスタ A 1, A 2 . . . , B 1, B 2 . . . 形成ピッチ P 2 を狭めてある。また、インバータ 2 を構成する p 型 T F T 2 0 1 の形成位置を p 型 T F T 3 0 1 a, 3 0 2 a が形成された薄膜トランジスタ形成領域 3 0 0 a, 3 0 0 c に対応させていると共に、n 型 T F T 2 0 2 の形成位置を n 型 T F T 4 0 1 a, 4 0 2 a が形成された薄膜トランジスタ形成領域 3 0 0 b, 3 0 0 d に対応させて、異なる導電型の T F T が形成された薄膜トランジスタ形成領域同士を異なる領域に偏在化させている。

【 0 0 2 7 】さらに、本例のアクティブマトリクスパネルのソース線駆動回路 4 0 においては、図 6 の V - V 線における断面図を図 7 に示すように、絶縁性の透明基板 1 1 の表面上に形成されたシリコン層 1 0 3 に対し、p

型の不純物をイオン注入してクロックドインバータ4aのp型TFT301a、302aを形成してあるが、そのうち、n型TFT301aのソース101aとn型TFT302aのドレイン102aとを共通の高濃度の不純物が導入されたシリコン領域103aで共有化して、その基板の辺方向に対する形成間隔をさらに狭めてある。また、他のTFTにおいても、同じ領域をTFTのソースとドレインとが共有する構造が採用されている。なお、図7において、104a、105aはn型TFT301a、302aの多結晶シリコンで構成されたゲート電極であって、そのうち、ゲート電極104aはそこから延出してクロック信号入力線49bを構成している。一方、106a、107aは、アルミニウム配線層であって、n型TFT401a、402aに対してドレイン電位およびソース電位を供給するソース・ドレイン配線層を構成している。なお、図8には、バッファ回路47およびアナログスイッチ部45における各TFTおよび配線層の配置構造を示してある。この図に示すように、シフトレジスタ41の側において単位シフトレジスタA1、A2・・・、B1、B2・・・の形成ピッチP2が狭小化されたのに対応して、そこからのビット信号出力線46のピッチも狭小化されていると共に、ソース線駆動回路40の単位セルのピッチP1も狭小化されている。

【0028】以上のとおり、本例のアクティブマトリクスパネルのソース線駆動回路40においては、その単位シフトレジスタA1、A2・・・、B1、B2・・・が基板の外周縁側（矢印Xの方向）から画素マトリクスの形成領域側（矢印Yの方向）までの間に配置された2つのシフトレジスタ形成領域42a、42bに分割して形成してあるため、ソース線駆動回路40の単位セルのピッチP1が小さい。また、ソース線駆動回路40のうち、回路素子の形成密度が高い単位シフトレジスタA1、A2・・・、B1、B2・・・のクロックドシフトレジスタ3a、3b、4a、4bの形成領域においては、それを構成するp型TFT301a、302a、301b、302bおよびn型TFT401a、402a、401b、402bの形成領域を、基板の外周縁側（矢印Xの方向）から画素マトリクスの形成領域側（矢印Yの方向）に向かって4列に配列し、かつ、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域の一方端側同士を互いに近接させている一方、それらの他方端側を互いに反対方向に位置させているため、異なる導電型のTFTが形成された薄膜トランジスタ形成領域同士を異なる領域に偏在化させながら、単位シフトレジスタA1、A2・・・、B1、B2・・・の基板の辺方向（矢印Zの方向）の長さ寸法を、従来の2/3にまで短縮してある。このため、単位シフトレジスタA1、A2・・・、B1、B2・・・の形成ピッチP2が狭小化されて、ソース線駆動回路40の単位セルの

ピッチが狭小化されている。このため、ソース線駆動回路40の単位セルのピッチP1に規定される画素マトリクスの画素を微細化して表示の品位を向上することができる。

【0029】また、シフトレジスタ41にクロック信号CKA（CLA、CLA*）、CKB（CLB、CLB*）を供給するA系列およびB系列のクロック信号線43、44のうち、A系列のクロック信号線43を第1のシフトレジスタ形成領域42aに対して隣接する位置に並列配置し、B系列のクロック信号線44を第2のシフトレジスタ形成領域42bに対して隣接する位置に並列配置しているため、各クロック信号線43、44からシフトレジスタ41までのクロック信号入力線49a、49bの配線長さが、略同寸法かつ最短寸法に設計されている。このため、配線抵抗の差または寄生容量の差に起因して、クロック信号CKA、CKBの同期がずれるという問題が発生しないので、シフトレジスタ41が誤動作せず、アクティブマトリクスパネルの信頼性が高い。また、A系列のクロック信号線43は第1のシフトレジスタ形成領域42aに対して基板の外周縁側に形成され、B系列のクロック信号線44は第2のシフトレジスタ形成領域42bに対して画素マトリクスの形成領域側（矢印Yの方向）に形成されているため、第1および第2のシフトレジスタ形成領域42a、42bを、クロック信号入力線49a、49bが通過していないので、単位シフトレジスタA1、B1、A2、B2・・・をさらに近接し合う状態で形成できる。

【0030】〔実施例2〕図9は本発明の実施例2に係るアクティブマトリクスパネル（液晶表示パネル）のソース線駆動回路側のブロック図であり、図9にはそのシフトレジスタおよびクロック信号線の配置関係を示してある。ここで、本例のアクティブマトリクスパネルの全体構成は、図13に示すブロック図と同様であるため、全体構成の説明は省略する。また、ソース線駆動回路を構成するシフトレジスタ、バッファ回路およびアナログスイッチ部のうち、バッファ回路およびアナログスイッチ部の構成は、実施例1のアクティブマトリクスパネルと同様であって、しかも、シフトレジスタ、バッファ回路およびアナログスイッチ部を構成する回路要素も、実施例1のアクティブマトリクスパネルと同様であるため、本例のアクティブマトリクスパネルについては、図9のブロック図のみに基づいて説明する。

【0031】図9において、本例のアクティブマトリクスパネルのソース線駆動回路50は4系列化されており、ソース線駆動回路50は、画素マトリクスおよびゲート線駆動回路（いずれも、図示せず。）と共に同一の透明基板上に形成されて、画素マトリクスの各画素の表示動作を駆動する。また、ソース線駆動回路50は、基板の外周縁から画素マトリクスの形成領域までの間に形成されており、そのシフトレジスタ51は、基板の外周

縁側（矢印Xの方向）の第1のシフトレジスタ形成領域52aと、画素マトリクス形成領域側（矢印Yの方向）の第2のシフトレジスタ形成領域52bとに分割して形成されている。これらの第1および第2のシフトレジスタ形成領域52a、52bのうち、第1のシフトレジスタ形成領域52aには、単位シフトレジスタA1、A2・・・からなるA系列のシフトレジスタ51aおよび単位シフトレジスタC1、C2・・・からなるC系列のシフトレジスタ51c（第1のシフトレジスタ）が交互に形成されている一方、第2のシフトレジスタ形成領域52bには、単位シフトレジスタB1、B2・・・からなるB系列のシフトレジスタ51bおよび単位シフトレジスタD1、D2・・・からなるD系列のシフトレジスタ51d（第2のシフトレジスタ）が交互に形成されている。

【0032】ここで、A系列のシフトレジスタ51aおよびC系列のシフトレジスタ51cに対してクロック信号CKA、CKCを供給するA系列のクロック信号線53およびC系列のクロック信号線54（第1のクロック信号線）は、第1のシフトレジスタ形成領域51aに対して隣接する位置に並列配置され、B系列のシフトレジスタ51bおよびD系列のシフトレジスタ51dに対してクロック信号CKB、CKDを供給するB系列のクロック信号線55およびD系列のクロック信号線56（第2のクロック信号線）は、第2のシフトレジスタ形成領域51bに対して隣接する位置に並列配置されている。また、A系列のクロック信号線53およびC系列のクロック信号線54は第1のシフトレジスタ形成領域52aに対して基板の外周縁側（矢印Xの方向）に形成されているのに対して、B系列のクロック信号線55およびD系列のクロック信号線56は第2のシフトレジスタ形成領域52bに対して画素マトリクス形成領域側（矢印Yの方向）に形成されている。このため、A系列のクロック信号線53（第1のクロック信号線）からA系列のシフトレジスタ51aまでのクロック信号入力線59aの配線長さと、B系列のクロック信号線55（第2のクロック信号線）からB系列のシフトレジスタ51bまでのクロック信号入力線59bの配線長さとを、略同寸法かつ最短寸法に設計するのが容易になっている。同様に、C系列のクロック信号線54（第1のクロック信号線）からC系列のシフトレジスタ51cまでのクロック信号入力線59cの配線長さと、D系列のクロック信号線56（第2のクロック信号線）からD系列のシフトレジスタ51dまでのクロック信号入力線59dの配線長さも、略同寸法かつ最短寸法に設計されている。また、A系列のクロック信号線53とC系列のクロック信号線54とは近接し合って並列していると共に、B系列のクロック信号線55とD系列のクロック信号線56とは近接し合って並列しているため、いずれのクロック信号入力線59a、59b、59c、59dの配線長さも略同

寸法になっている。

【0033】なお、第2のシフトレジスタ形成領域52bに対して画素マトリクス形成領域側（矢印Yの方向）には、シフトレジスタ51の各单位シフトレジスタからビット信号を、サンプルホールド部のアナログスイッチ部65の側に向けて送出するためのビット信号線66が形成され、その途中位置には、ビット信号を遅延させて、ビット信号出力線66が交差する側のB系列のクロック信号線55およびD系列のクロック信号線56からのノイズの影響を緩和する機能も発揮するバッファ回路67が、実施例1と同様に、2つのインバータなどによって構成されている。

【0034】なお、本例においても、いずれのクロック信号線53、54、55、56も、互いに逆相のクロック信号を供給する2本のクロック信号線で構成されており、A～D系列のシフトレジスタ51a～51dのうち、奇数番目の単位シフトレジスタA1、C1、B1、D1・・・と、偶数番目の単位シフトレジスタA2、C2、B2、D2・・・とは、互いに逆相のクロック信号によって駆動される。また、A系列のクロック信号線53からのクロック信号CKAの位相、B系列のクロック信号線55からのクロック信号CKBの位相、C系列のクロック信号線54からのクロック信号CKCの位相およびD系列のクロック信号線56からのクロック信号CKDの位相は、互いに45°ずつずらして、4系列化しての駆動が可能になっている。このため、シフトレジスタ51を構成する薄膜トランジスタの動作を高周波化することなく、ソース線駆動回路50の動作速度を高めることができる。

【0035】また、本例のアクティブマトリクスパネルのソース線駆動回路50においても、実施例1と同様に、図5（b）に示す1ビット当たりの単位シフトレジスタ、たとえば、単位シフトレジスタA1は、1つのインバータ2と2つのクロックドインバータ3a、4aとを有し、そのうち、クロックドインバータ3aは、図5（a）に示すように、基板の外周縁側（矢印Xの方向）から画素マトリクス形成領域側（矢印Yの方向）に向かって配列された4列の薄膜トランジスタ形成領域300a、300b、300c、300dに形成されている。ここで、p型TFT301a、302aが形成された薄膜トランジスタ形成領域300a、そのn型TFT401a、402aが形成された薄膜トランジスタ形成領域300b、クロックドインバータ4aの側のn型TFT401a、402aが形成された薄膜トランジスタ形成領域300d、そのp型TFT301a、302aが形成された薄膜トランジスタ形成領域300cの順序に配列された薄膜トランジスタ形成領域300a～300dのうち、異なる導電型のTFTが形成された薄膜トランジスタ形成領域300aと薄膜トランジスタ形成領域300bとは基板の辺方向に向かって近接した位置で

分離してあり、同様に、薄膜トランジスタ形成領域 3 0 0 d と薄膜トランジスタ形成領域 3 0 0 c も基板の辺方向に向かって近接した位置で分離してある。また、他の単位シフトレジスタ A 2, A 3 . . . , B 1, B 2 . . . も同様な構造になっている。

【 0 0 3 6 】 このため、本例のアクティブマトリクスパネルにおいても、実施例 1 と同様に、薄膜トランジスタ形成領域 3 0 0 a と薄膜トランジスタ形成領域 3 0 0 b との基板の辺方向に対する間隔および薄膜トランジスタ形成領域 3 0 0 d と薄膜トランジスタ形成領域 3 0 0 c との基板の辺方向（矢印 Z の方向）に対する間隔を狭めて、単位シフトレジスタ A 1, A 2 . . . , B 1, B 2 . . . 形成ピッチ P 2 を狭小化してある。さらに、シフトレジスタ 7 1 は、基板の外周縁側の第 1 のシフトレジスタ形成領域 5 2 a と画素マトリクスの形成領域側の第 2 のシフトレジスタ形成領域 5 2 b とに、A 系列および C 系列のシフトレジスタ 5 1 a, 5 1 c と B 系列および D 系列のシフトレジスタ 5 1 b, 5 1 c として並列状態に分割して形成されているため、ソース線駆動回路 5 0 の単位セルのピッチ P 1 は狭ピッチ化されている。従って、画素マトリクスの画素ピッチを狭小化して、表示の品位を向上することができる。ここで、A 系列～D 系列のクロック信号線 5 3 ～ 5 6 は、それぞれ対応するシフトレジスタ形成領域に対して隣接する位置に並列配置されているため、各クロック信号線 5 3 ～ 5 6 からシフトレジスタ 4 1 までのクロック信号入力線 5 9 a ～ 5 9 d の配線長さが、各系列間で同寸法、かつ、最短寸法に設計可能である。このため、配線抵抗の差または寄生容量の差に起因してのクロック信号 C K A, C K B, C K C, C K D の同期のずれが発生することがない。それ故、シフトレジスタ 5 1 に誤動作が生じず、アクティブマトリクスパネルの信頼性が高い。しかも、シフトレジスタ 4 1 を 4 系列駆動しているため、ソース線駆動回路 5 0 の動作速度をさらに高速化することができる。

【 0 0 3 7 】 【実施例 3】 図 1 0 は本発明の実施例 3 に係るアクティブマトリクスパネル（液晶表示パネル）のソース線駆動回路側における薄膜トランジスタおよび配線層の配置を示す構成図、図 1 1 はそのブロック図、図 1 2 はその回路図である。本例のアクティブマトリクスパネルの全体構成も、図 1 3 に示すブロック図と同様であるため、全体構成の説明は省略する。また、ソース線駆動回路を構成するシフトレジスタ、バッファ回路およびアナログスイッチ部のうち、バッファ回路およびアナログスイッチ部の構成は、実施例 1 のアクティブマトリクスパネルと同様であって、しかも、シフトレジスタ、バッファ回路およびアナログスイッチ部を構成する回路要素も、実施例 1 のアクティブマトリクスパネルと同様であるため、図 1 0 には、シフトレジスタ側の構造のみを示してある。

【 0 0 3 8 】 これらの図において、本例のソース線駆動

回路 7 0 は 1 系列の駆動方式であって、ソース線駆動回路 7 0 は、画素マトリクスおよびゲート線駆動回路（いずれも、図示せず。）と共に同一の透明基板上に形成されて、画素マトリクスの各画素の表示動作を駆動する。また、ソース線駆動回路 7 0 は、基板の外周縁から画素マトリクスの形成領域までの間に形成されており、本例においては、そのシフトレジスタ 7 1 は、基板の外周縁側の第 1 のシフトレジスタ形成領域 7 2 a と画素マトリクスの形成領域側の第 2 のシフトレジスタ形成領域 7 2 b とに分割されて形成されている。すなわち、第 1 および第 2 のシフトレジスタ形成領域 7 2 a, 7 2 b のうち、第 1 のシフトレジスタ形成領域 7 2 a には、クロック信号 C K A によって駆動される単位シフトレジスタ A 1, A 4, A 5 . . . からなる第 1 のシフトレジスタ 7 1 a が形成されている一方、第 2 のシフトレジスタ形成領域 7 2 b には、同じクロック信号 C K A によって駆動される単位シフトレジスタ A 2, A 3, A 6 . . . からなる第 2 のシフトレジスタ 7 1 b が形成されている。

【 0 0 3 9 】 ここで、第 1 のシフトレジスタ 5 1 a にクロック信号 C K A を供給する第 1 のクロック信号線 7 3 は第 1 のシフトレジスタ形成領域 7 1 a に対して隣接する位置に並列配置されている一方、第 2 のシフトレジスタ 7 1 b にクロック信号 C K A を供給する第 2 のクロック信号線 7 4 は第 2 のシフトレジスタ形成領域 7 1 b に対して隣接する位置に並列配置されている。また、第 1 のクロック信号線 7 3 は第 1 のシフトレジスタ形成領域 7 2 a に対して基板の外周縁側（矢印 X の方向）に形成され、第 2 のクロック信号線 7 4 は第 2 のシフトレジスタ形成領域 7 2 b に対して画素マトリクスの形成領域側（矢印 Y の方向）に形成されている。さらに、第 1 のクロック信号線 7 3 から第 1 のシフトレジスタ 7 1 a までのクロック信号入力線 7 9 a の配線長さと、第 2 のクロック信号線 7 4 から第 2 のシフトレジスタ 7 1 b までのクロック信号入力線 7 9 b の配線長とは、互いに同寸法、かつ最短寸法に設計されている。また、第 2 のシフトレジスタ形成領域 7 2 b に対して画素マトリクスの形成領域側（矢印 Y の方向）には、シフトレジスタ 7 1 からのビット信号をアナログスイッチ部 7 5 の側（画素マトリクスの側）に向けて送出するためのビット信号線 7 6 が形成され、その途中位置には、ビット信号を遅延させて、ビット信号出力線 7 6 が交差する第 2 のクロック信号線 7 4 からのノイズの影響を緩和する機能も発揮するバッファ回路 7 7 が、実施例 1 と同様に、2 つのインバータなどによって構成されている。なお、本例においても、第 1 および第 2 のシフトレジスタ 7 1 a, 7 1 b は、いずれも実施例 1 と同様な回路要素から構成されている一方、いずれのクロック信号線 7 3, 7 4 も、互いに逆相のクロック信号 C L A, C L A * を供給する 2 本のクロック信号線 7 3 1, 7 3 2, 7 4 1, 7 4 2 で構成されて、第 1 のシフトレジスタ 7 1 a と第 2 のシフト

レジスタ 7 1 a とを互いに逆相のクロック信号 C L A , C L A * によって駆動可能になっている。ここで、第 1 および第 2 のクロック信号線 7 3 , 7 4 のいずれもを 1 本のクロック信号線で構成することもできるが、第 1 および第 2 のクロック信号線 7 3 , 7 4 を互いに逆相のクロック信号 C L A , C L A * に対応する 2 本のクロック信号線で構成することによって、クロック信号線 7 3 , 7 4 間の寄生容量などを等価にして、一方側のクロック信号が他方側のクロック信号に比して遅延することを防止してある。

【 0 0 4 0 】また、本例のソース線駆動回路 5 0 においても、図 5 (a) および図 5 (b) に示すように、1 ビット当たりの単位シフトレジスタ、たとえば、単位シフトレジスタ A 1 のクロックドインバータ 3 a を、基板の外周縁側 (矢印 X の方向) から画素マトリクス形成領域側 (矢印 Y の方向) に向かって配列された 4 列の薄膜トランジスタ形成領域 3 0 0 a , 3 0 0 b , 3 0 0 c , 3 0 0 d に形成してある。これらの薄膜トランジスタ形成領域 3 0 0 a ~ 3 0 0 d は、クロックドインバータ 3 a の側の p 型 T F T 3 0 1 a , 3 0 2 a が形成された薄膜トランジスタ形成領域 3 0 0 a , その n 型 T F T 4 0 1 a , 4 0 2 a が形成された薄膜トランジスタ形成領域 3 0 0 b , クロックドインバータ 4 a の側の n 型 T F T 4 0 1 a , 4 0 2 a が形成された薄膜トランジスタ形成領域 3 0 0 d , その p 型 T F T 3 0 1 a , 3 0 2 a が形成された薄膜トランジスタ形成領域 3 0 0 c の順序に配列されており、そのうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域の一方端側同士は互いに近接している一方、それらの他方端側は互いに反対方向に位置している。すなわち、異なる導電型の T F T が形成された薄膜トランジスタ形成領域 3 0 0 a と薄膜トランジスタ形成領域 3 0 0 b とは基板の辺方向に向かって近接した位置で分離してあり、同様に、薄膜トランジスタ形成領域 3 0 0 d と薄膜トランジスタ形成領域 3 0 0 c も基板の辺方向に向かって近接した位置で分離してある。また、他の単位シフトレジスタ A 2 , A 3 . . . も同様な構造になっている。

【 0 0 4 1 】このため、本例のアクティブマトリクスパネルにおいては、実施例 1 と同様に、薄膜トランジスタ形成領域 3 0 0 a と薄膜トランジスタ形成領域 3 0 0 b との基板の辺方向に対する間隔および薄膜トランジスタ形成領域 3 0 0 d と薄膜トランジスタ形成領域 3 0 0 c との基板の辺方向に対する間隔を狭めて、単位シフトレジスタ A 1 , A 2 . . . の形成ピッチ P 2 を狭めて、ソース線駆動回路 7 0 の単位セルのピッチ P 1 を狭小化してある。また、シフトレジスタ 7 1 は、基板の外周縁側の第 1 のシフトレジスタ形成領域 7 2 a と、画素マトリクスの形成領域側の第 2 のシフトレジスタ形成領域 7 2 b とに並列状態に分割して形成してあるため、ソース線駆動回路 7 0 の単位セルのピッチ P 1 はさらに狭ピッチ

化されている。従って、画素マトリクスの画素ピッチを狭小化して、表示の品位を向上することができる。ここで、第 1 のクロック信号線 7 3 は第 1 のシフトレジスタ形成領域 7 2 a に対して隣接する位置に並列配置され、第 2 のクロック信号線 7 4 は第 2 のシフトレジスタ形成領域 7 2 b に対して隣接する位置に並列配置されているため、各クロック信号線 7 3 , 7 4 からシフトレジスタ 4 1 までのクロック信号入力線 7 9 a , 7 9 b の配線長さが、各系列間で同寸法、かつ、最短寸法に設計されている。このため、配線抵抗の差または寄生容量の差に起因してのクロック信号 C K A の同期ずれが発生しない。それ故、シフトレジスタ 7 1 に誤動作が生じないので、アクティブマトリクスパネルの信頼性が高い。

【 0 0 4 2 】なお、上記の構成を備える薄膜トランジスタの配置構造については、ゲート線駆動回路側にも採用できる。

【 0 0 4 3 】

【発明の効果】以上のとおり、本発明に係るアクティブマトリクスパネルにおいては、ソース線駆動回路またはゲート線駆動回路のシフトレジスタの形成領域において、そのクロックドインバータ回路を構成する第 1 導電型および第 2 導電型の薄膜トランジスタを、基板の外周縁側から画素マトリクスの形成領域側に向かって配置された 4 列の薄膜トランジスタ形成領域に形成し、これらの薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域同士の一方端側同士を互いに近接させる一方、それらの他方端側を互いに反対方向に向けてあることに特徴を有するため、以下の効果を奏する。

【 0 0 4 4 】① 導電型の異なる薄膜トランジスタの形成領域同士を基板の外周縁側から画素マトリクスの形成領域側の方向でも分離してあるため、導電型の異なる薄膜トランジスタの形成領域同士を、近接し合った状態のまま、互いに異なる領域に偏在させることができる。それ故、薄膜トランジスタのイオン注入工程などに支障がなく、しかも、回路要素の形成密度が高いシフトレジスタの形成ピッチを狭めることができるので駆動回路の単位セルのピッチを狭小化して、画素マトリクスを微細化できる。

【 0 0 4 5 】② シフトレジスタは、基板の外周縁から画素マトリクスの形成領域までの間に並列配置された第 1 および第 2 のシフトレジスタ形成領域に分割して形成されているため、駆動回路の単位セルのピッチは狭小化される。従って、画素マトリクスの画素ピッチを狭小化して表示の品位を向上することができる。

【 0 0 4 6 】③ 第 1 のクロック信号線は第 1 のシフトレジスタ形成領域に隣接して並列配置され、第 2 のクロック信号線は第 2 のシフトレジスタ形成領域に隣接して並列配置されているため、各クロック信号線からシフトレジスタまでの配線長さを等しく、また最短寸法に設計

10

20

30

40

50

できる。このため、配線抵抗の差や寄生容量の差異に起因してのクロック信号の同期のずれが発生しにくいので、シフトレジスタが誤動作せず、アクティブマトリクスパネルの信頼性が高い。ここで、第1のクロック信号線を第1のシフトレジスタ形成領域に対して基板の外周縁側に形成し、第2のクロック信号線を第2のシフトレジスタ形成領域に対して画素マトリクスの形成領域側に形成した場合には、シフトレジスタ形成領域をクロック信号線が通らないので、単位シフトレジスタの形成ピッチをさらに狭小化できる。

【0047】④ 第1および第2のシフトレジスタを複数に系列化した場合には、それを構成する回路要素の動作を高速度化せずとも、駆動回路自身の動作速度を高めることができる。

【図面の簡単な説明】

【図1】本発明の実施例1に係るアクティブマトリクスパネルにおける2系列のソース線駆動回路の各構成部分の配置を示す構成図である。

【図2】図1に示すソース線駆動回路のブロック図である。

【図3】図1に示すソース線駆動回路の回路図である。

【図4】図1に示すソース線駆動回路の各部に入出力される信号のタイミングチャート図である。

【図5】(a)は図1に示すソース線駆動回路のシフトレジスタのうちの単位シフトレジスタにおける各構成部分の配置を示す構成図、(b)はその回路図である。

【図6】図1に示すソース線駆動回路のシフトレジスタにおける各構成部分の配置を示す平面図である。

【図7】図6のV-V線における断面図である。

【図8】図1に示すソース線駆動回路のアナログスイッチ部における各構成部分の配置を示す平面図である。

【図9】本発明の実施例2に係るアクティブマトリクスパネルにおける4系列のソース線駆動回路のブロック図である。

【図10】本発明の実施例3に係るアクティブマトリクスパネルにおける1系列のソース線駆動回路の各構成部分の配置を示す構成図である。

【図11】図10に示すソース線駆動回路のブロック図である。

【図12】図10に示すソース線駆動回路の回路図である。

【図13】アクティブマトリクスパネルの全体構成を示すブロック図である。

【図14】(a)はシフトレジスタの回路図、(b)はそのインバータの構成図、(c)および(d)はそのクロックインバータの構成図である。

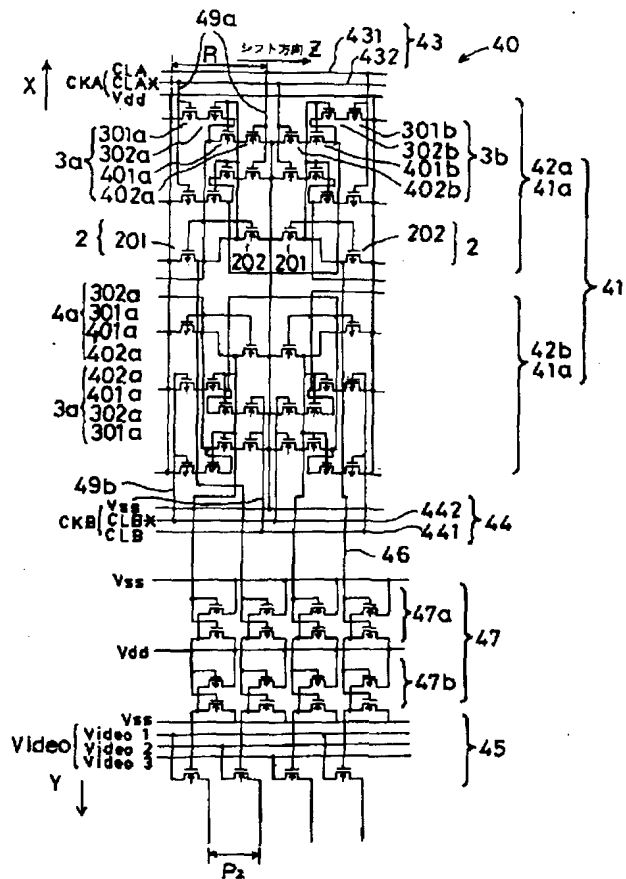
【図15】従来のアクティブマトリクスパネルにおける1系列のソース線駆動回路の各構成部分の配置を示す構成図である。

【図16】従来のアクティブマトリクスパネルにおける2系列のソース線駆動回路の各構成部分の配置を示す構成図である。

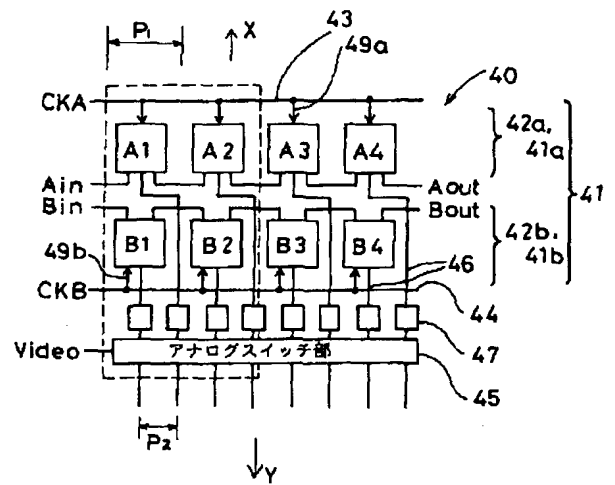
【符号の説明】

11・・・透明基板
12, 40, 50, 70, 80, 90・・・ソース線駆動回路
13, 20, 41, 51, 71, 81, 91・・・シフトレジスタ
17, 18, 19・・・サンプルホールド回路
21・・・ゲート線駆動回路
22・・・画素マトリクス
24, 25・・・ゲート線
26, 27, 28・・・ソース線
29・・・薄膜トランジスタ
30・・・液晶セル
34, 37, 83, 84, 93, 94・・・クロック信号線
41a, 51a・・・A系列のシフトレジスタ(第1のシフトレジスタ)
41b, 51b・・・B系列のシフトレジスタ(第2のシフトレジスタ)
42a, 52a, 72a・・・第2のシフトレジスタ形成領域
42b, 52b, 72b・・・第2のシフトレジスタ形成領域
43, 53・・・A系列のクロック信号線(第1のクロック信号線)
44, 55・・・B系列のクロック信号線(第2のクロック信号線)
45, 65, 75, 85・・・アナログスイッチ部
46, 66, 66a, 66b, 76, 86・・・ビット信号出力線
47, 67, 77・・・バッファ回路
49a, 49b, 59a~59d, 79a, 79b, 89a, 89b・・・クロック信号入力線
51c・・・C系列のシフトレジスタ(第1のシフトレジスタ)
51d・・・D系列のシフトレジスタ(第2のシフトレジスタ)
54・・・C系列のクロック信号線(第1のクロック信号線)
56・・・D系列のクロック信号線(第2のクロック信号線)
73・・・第1のクロック信号線
74・・・第1のクロック信号線
300a, 300b, 300c, 300d・・・薄膜トランジスタ形成領域

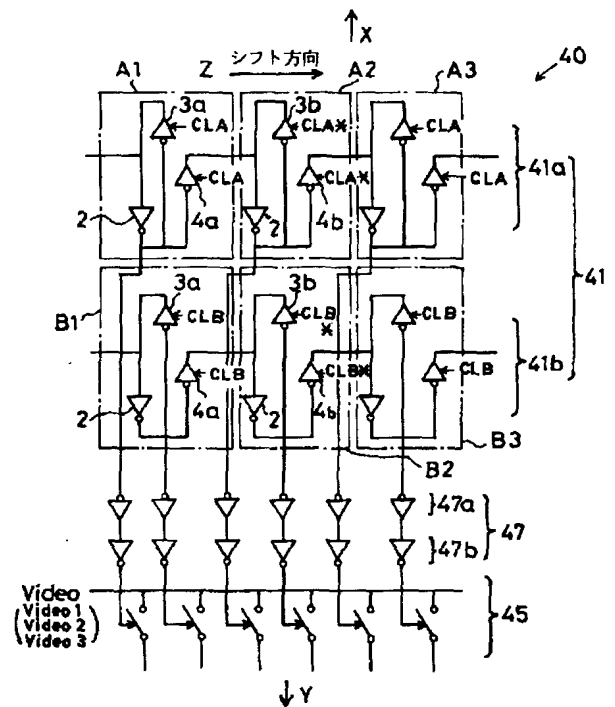
【図 1】



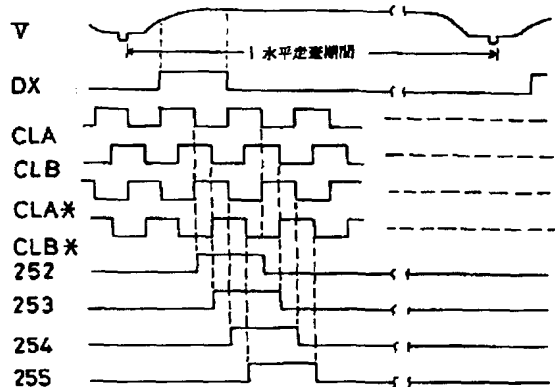
【図 2】



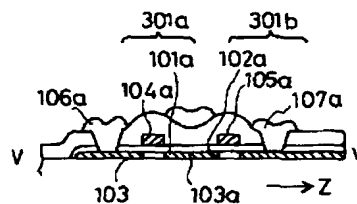
【図 3】



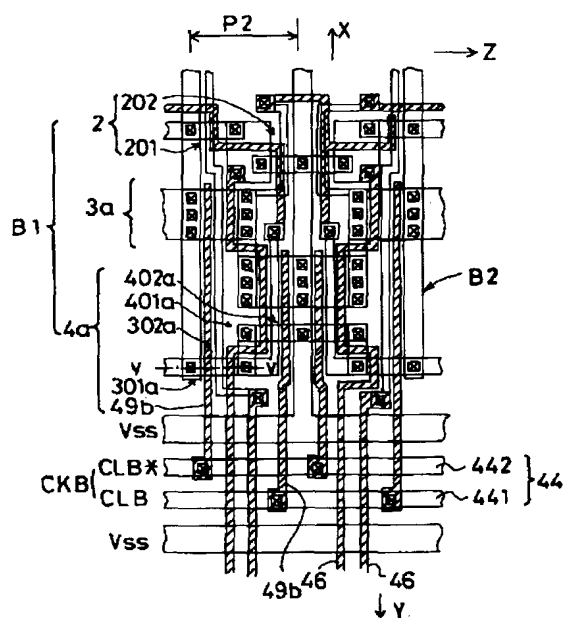
【図 4】



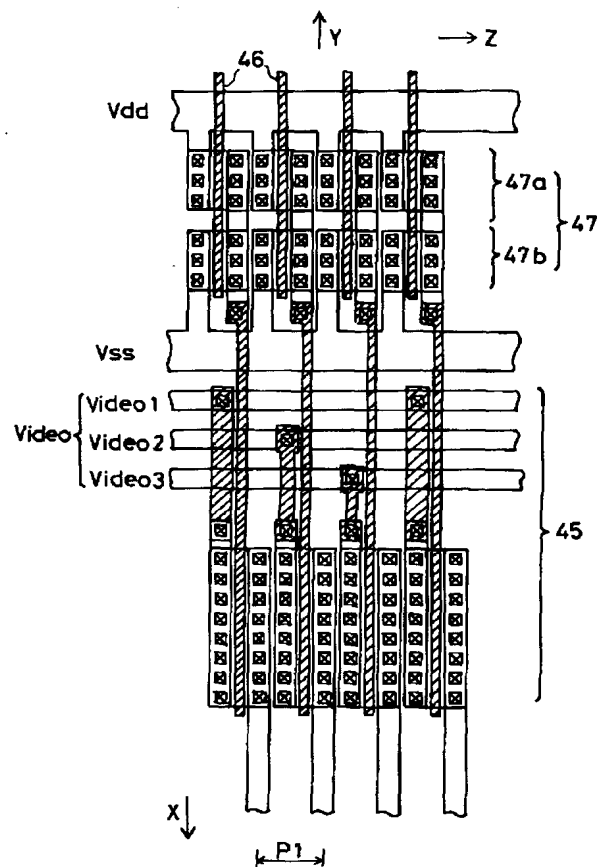
【図 7】



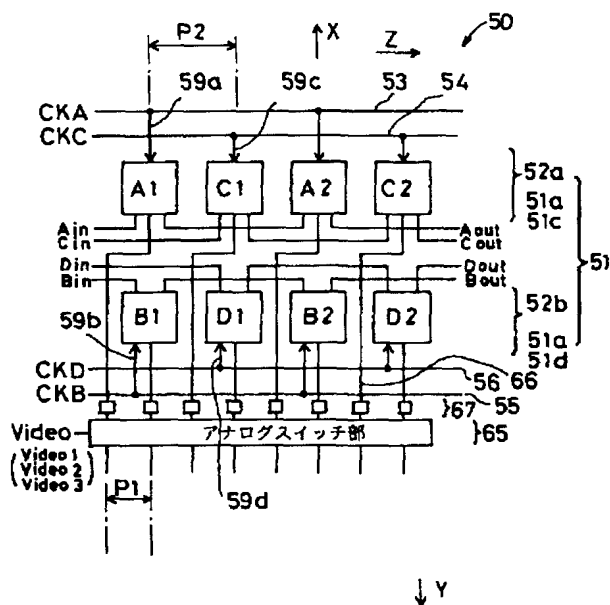
【図 6】



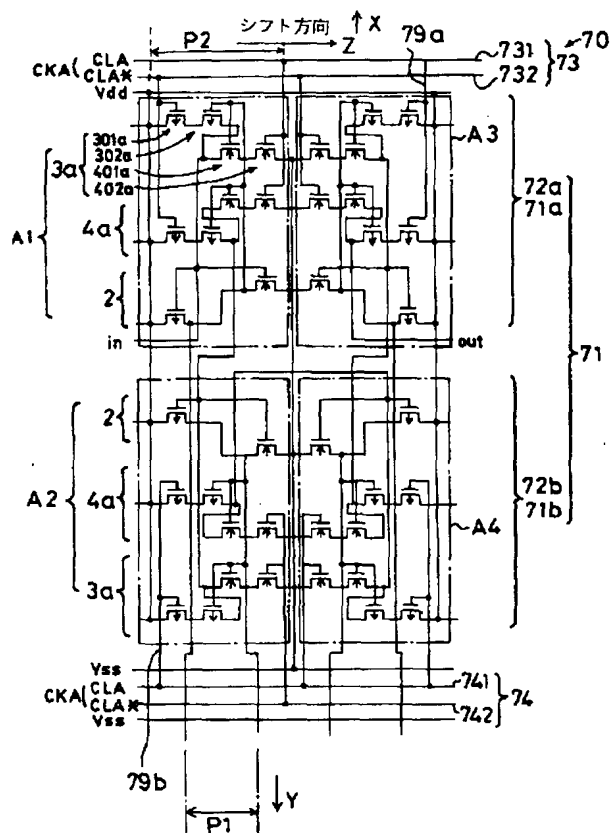
【図 8】



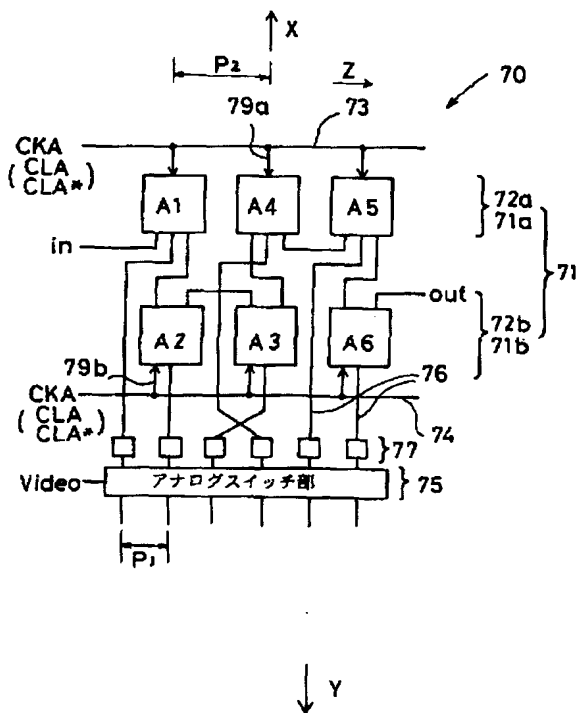
【図 9】



【図 10】



【図 1 1】



【図 12】

